

BEST AVAILABLE COPY

PCT/JP 2004/004700

12.5.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 4月 3日

出 願 番 号
Application Number: 特願2003-100170
[ST. 10/C]: [JP2003-100170]

REC'D 03 JUN 2004

WIPO

PCT

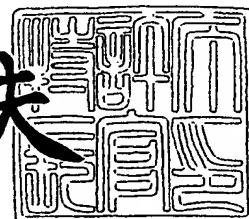
出 願 人
Applicant(s): 大見 忠弘
東京エレクトロン株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 4月 5日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特2004-3027910

【書類名】 特許願

【整理番号】 JPP030031

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

 【住所又は居所】 仙台市青葉区米ヶ袋 2 丁目 1 番 1 7 号 3 0 1

 【氏名】 大見 忠弘

【発明者】

 【住所又は居所】 仙台市宮城野区平成 1 - 1 - 2 2 - K 6

 【氏名】 寺本 章伸

【発明者】

 【住所又は居所】 仙台市泉区天神沢 1 - 6 - 1 8 - 4 0 1

 【氏名】 若松 秀利

【発明者】

 【住所又は居所】 東京都港区赤坂五丁目 3 番 6 号 東京エレクトロン株式会社内

 【氏名】 小林 保男

【特許出願人】

 【住所又は居所】 仙台市青葉区米ヶ袋 2 丁目 1 番 1 7 号 3 0 1

 【氏名又は名称】 大見 忠弘

【特許出願人】

 【識別番号】 000219967

 【氏名又は名称】 東京エレクトロン株式会社

【代理人】

 【識別番号】 100098143

 【弁理士】

 【氏名又は名称】 飯塚 雄二

【手数料の表示】

【予納台帳番号】 058171

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び、その製造方法

【特許請求の範囲】

【請求項 1】

シリコン基板と；

ゲート電極層と；

前記シリコン基板と前記ゲート電極層との間に配置されたゲート絶縁膜とを備え、

前記ゲート絶縁膜は、メタルとシリコンの混合物を窒化処理してなる高比誘電率（high-k）膜であることを特徴とする半導体装置。

【請求項 2】

前記ゲート絶縁膜はプラズマ CVD 技術によって成膜されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記シリコン基板と前記ゲート絶縁膜との間に、バリア層としてシリコン窒化膜を配置することを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記シリコン窒化膜はプラズマによる直接窒化技術によって形成されることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記ゲート絶縁膜の上にシリコン窒化膜を配置することを特徴とする請求項 1，2，3 又は 4 に記載の半導体装置。

【請求項 6】

前記シリコン基板上において、シリコン窒化膜と前記ゲート絶縁膜とを交互に配置形成した多層構造とすることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記シリコン基板と前記ゲート絶縁膜との間に、バッファ層を形成することを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 8】

前記シリコン基板と前記ゲート絶縁膜との間に、アルミナ (Al_2O_3) 単結晶膜を形成することを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 9】

前記アルミナ単結晶膜は、プラズマ CVD 技術による形成されることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

前記ゲート絶縁膜は、以下から選択される組成を有することを特徴とする請求項 1, 2, 3, 4, 5, 6, 7, 8 又は 9 に記載の半導体装置。

$\text{M}_3\text{Si}_6\text{N}_{11}$ ($\text{M}=\text{La}, \text{Ce}, \text{Pr}, \text{Nd}, \text{Sm}$)

$\text{M}_2\text{Si}_5\text{N}_8$ ($\text{M}=\text{Ca}, \text{Sr}, \text{Ba}, \text{Eu}$)

MYbSi_4N_7 ($\text{M}=\text{Sr}, \text{Ba}, \text{Eu}$)

BaSi_4N_7

$\text{Ba}_2\text{Nd}_7\text{Si}_{11}\text{N}_{23}$

【請求項 11】

シリコン基板上に、メタルとシリコンの混合物を窒化处理してなる高比誘電率 (high-k) 膜からなるゲート絶縁膜を形成し、

前記ゲート絶縁膜上にゲート電極層を形成することを特徴とする半導体装置の製造方法。

【請求項 12】

前記ゲート絶縁膜は、プラズマ CVD 技術によって成膜されることを特徴とする請求項 11 に記載の半導体装置の製造方法。

【請求項 13】

前記シリコン基板と前記ゲート絶縁膜との間に、バリア層としてシリコン窒化膜を形成することを特徴とする請求項 11 又は 12 に記載の半導体装置の製造方法。

【請求項 14】

前記シリコン窒化膜は、プラズマによる直接窒化技術によって形成されることを特徴とする請求項 13 に記載の半導体装置の製造方法。

【請求項 15】

前記ゲート絶縁膜の上にシリコン窒化膜を配置することを特徴とする請求項 1, 12, 13 又は 14 に記載の半導体装置の製造方法。

【請求項 16】

前記シリコン基板上において、シリコン窒化膜と前記ゲート絶縁膜とを交互に積層形成した多層構造とすることを特徴とする請求項 15 に記載の半導体装置の製造方法。

【請求項 17】

前記シリコン基板と前記ゲート絶縁膜との間に、バッファ層を形成することを特徴とする請求項 11 又は 12 に記載の半導体装置の製造方法。

【請求項 18】

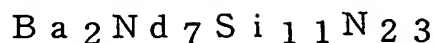
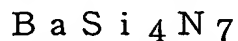
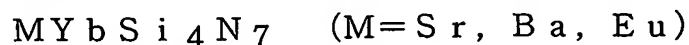
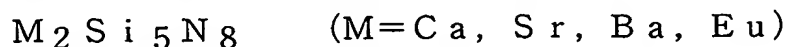
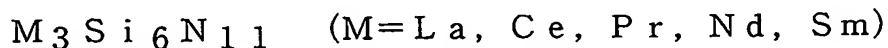
前記シリコン基板と前記ゲート絶縁膜との間に、アルミナ (Al_2O_3) 単結晶膜を形成することを特徴とする請求項 11 又は 12 に記載の半導体装置の製造方法。

【請求項 19】

前記アルミナ単結晶膜は、プラズマ CVD 技術による形成されることを特徴とする請求項 18 に記載の半導体装置の製造方法。

【請求項 20】

前記ゲート絶縁膜は、以下から選択される組成を有することを特徴とする請求項 11, 12, 13, 14, 15, 16, 17, 18 又は 19 に記載の半導体装置の製造方法。



【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ゲート絶縁膜として高比誘電率 (high-k) 膜を用いた半導体装置の

改良に関する。

【0002】

【従来の技術】

従来、シリコン基板上に形成される電極材料としてはポリシリコン (Poly-Si) が主流であった。また、シリコン基板とポリシリコン電極材料との間に配置されるゲート絶縁膜としては、酸化シリコン (SiO_2)、酸窒化シリコン (SiON)、窒化シリコン (Si_3N_4) が用いられていた。ところで、ゲート絶縁膜の容量 ($\propto \epsilon/d$: ϵ : 誘電率、 d : 膜厚) を大きくするために、従来は、ゲート絶縁膜 (SiO_2 ($\epsilon=3.9$)) の膜厚を薄くして対応していた。

【0003】

特開 2000-294550 号公報には、プラズマを用いて前記ウエハ W 表面に直接に酸化、窒化、又は酸窒化を施して酸化膜相当換算膜厚で 1 nm 以下の絶縁膜を形成する方法が開示されている。

【0004】

一方、ゲート絶縁膜の膜厚を薄くするにも限界があるため、現在では比誘電率の大きな材料 (High-K K は ϵ と同義語) を用い、物理的な膜厚をある程度厚くできる方法が提案されている。

【0005】

【特許文献 1】 特開 2000-294550 号

【0006】

【発明が解決しようとする課題】

しかしながら、従来の High-K 膜は酸化物で成形されているため、酸化物を形成するときに酸化種が必ず存在する。また、酸化物の結晶性を安定化させるために、酸化種あるいは不活性ガス種の雰囲気中で高温熱処理工程が必要である。その結果、 SiO_2 (あるいは Si と O と High-K を構成するメタルの混合物) が Si 表面あるいは、酸化物系 High-K 膜表面にできてしまい、誘電率が低い膜が直列に形成されてしまい、容量の増加という本来の目的を達成できないこととなる。

【0007】

そこで、シリコン窒化膜 ($\epsilon=7$ 程度) を Si と High-K 材料の間に挟むことによ

り、 SiO_2 膜を形成し難くする方法も提案されているが、やはり、High-K膜形成中にシリコン窒化膜が酸化され、誘電率の高い膜のみを形成するのが困難であった。

【0008】

本発明は、上記のような状況に鑑みてなされたものであり、High-K絶縁膜の比誘電率を高い状態で維持することにより、特性の良好な半導体装置を提供することを目的とする。また、High-K絶縁膜の比誘電率を高い状態で維持可能な半導体装置の製造方法を提供することを他の目的とする。

【0009】

【課題を解決するための手段】

上記目的を達成するために、本発明の第1の態様に係る半導体装置は、シリコン基板と；ゲート電極層と；前記シリコン基板と前記ゲート電極層との間に配置されたゲート絶縁膜とを備える。そして、前記ゲート絶縁膜を、メタルとシリコンの混合物を窒化処理してなる高比誘電率 (high-k) 膜とする。すなわち、High-K膜自体を窒化物にすることにより、 SiO_2 の発生を防止することが可能となる。

【0010】

前記ゲート絶縁膜はプラズマCVD技術によって成膜することが好ましい。また、前記シリコン基板と前記ゲート絶縁膜との間に、バリア層としてシリコン窒化膜を配置した場合には、High-K材料形成中に膜厚増加が起き難くなり、容量低下を抑制できる。これは、シリコン窒化膜が酸化膜に比べ膜厚が増加し難いという事実に基づく。なお、前記シリコン窒化膜はプラズマによる直接窒化技術によって形成することができる。

【0011】

また、前記ゲート絶縁膜の上にシリコン窒化膜を配置することにより、ゲート電極との反応を抑制できる。

【0012】

また、前記シリコン基板上において、シリコン窒化膜と前記ゲート絶縁膜とを交互に積層形成した多層構造とすれば、より安定した絶縁膜が得られる。

【0013】

また、前記シリコン基板と前記ゲート絶縁膜との間に、バッファ層を形成することにより、界面特性が向上し、良好なFET特性が得られる。

【0014】

前記シリコン基板と前記ゲート絶縁膜との間に、アルミナ (Al_2O_3) 単結晶膜を形成することにより、バッファ層の誘電率を9程度まで上げられるので、さらに容量を増加できる。なお、前記アルミナ単結晶膜は、プラズマCVD技術による形成することができる。

【0015】

上述したゲート絶縁膜としては、以下から選択される組成のものを採用することができる。

$M_3Si_6N_{11}$ ($M=La, Ce, Pr, Nd, Sm$)

$M_2Si_5N_8$ ($M=Ca, Sr, Ba, Eu$)

$MYbSi_4N_7$ ($M=Sr, Ba, Eu$)

$BaSi_4N_7$

$Ba_2Nd_7Si_{11}N_{23}$

【0016】

【発明の実施の形態】

図1は、本発明に用いられるプラズマ処理装置10の概略構成の例を示す。プラズマ処理装置10は、被処理基板としてのシリコンウエハWを保持する基板保持台12が備えられた処理容器11を有する。処理容器11内の気体(ガス)は排気ポート11Aおよび11Bから図示されない排気ポンプを介して排気される。なお、基板保持台12は、シリコンウエハWを加熱するヒータ機能を有している。基板保持台12の周囲には、アルミニウムからなるガスバッフル板(仕切り板)26が配置されている。ガスバッフル板26の上面には石英あるいはSiCカバー28が設けられている。

【0017】

処理容器11の装置上方には、基板保持台12上のシリコンウエハWに対応して開口部が設けられている。この開口部は、石英や Al_2O_3 、 AlN 、 Si_3

N4 からなる誘電体板 13 により塞がれている。誘電体板 13 の上部（処理容器 11 の外側）には、平面アンテナ 14 が配置されている。この平面アンテナ 14 には、導波管から供給された電磁波が透過するための複数のスロットが形成されている。平面アンテナ 14 の更に上部（外側）には、波長短縮板 15 と導波管 18 が配置されている。波長短縮板 15 の上部を覆うように、冷却プレート 16 が処理容器 11 の外側に配置されている。冷却プレート 16 の内部には、冷媒が流れる冷媒路 16a が設けられている。

【0018】

処理容器 11 の内部側壁には、プラズマ処理の際にガスを導入するためのガス供給口 22 が設けられている。このガス供給口 22 は、導入されるガス毎に設けられていても良い。この場合、図示されないマスフローコントローラが流量調整手段として供給口ごとに設けられている。一方、導入されるガスが予め混合されて送られ、供給口 22 は一つのノズルとなっても良い。この場合も図示されないが、導入されるガスの流量調整は、混合段階に流量調整弁などで為される。また、処理容器 11 の内壁の内側には、容器全体を囲むように冷媒流路 24 が形成されている。

【0019】

本発明に用いられるプラズマ基板処理装置 10 には、プラズマを励起するための数ギガヘルツの電磁波を発生する図示されない電磁波発生器が備えられている。この電磁波発生器で発生したマイクロ波が、導波管 15 を伝播し処理容器 11 に導入される。

【0020】

図 2 は、本発明に係る半導体装置（MISFET）の構造を示す断面図である。本発明は、ゲート絶縁膜 50 の組成、構造に関するものであり、各実施例については後に詳述する。図 2 において、100 がシリコン基板；50 がゲート絶縁膜；52 がゲート電極；54 がソース／ドレイン層（拡散層）；56 がサイドウォールを示す。

【0021】

以下、図 3～図 8 を参照して、本発明の第 1～第 5 実施例に係るゲート絶縁膜

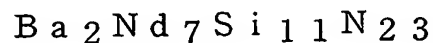
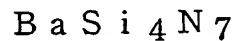
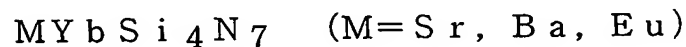
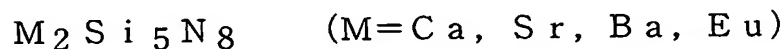
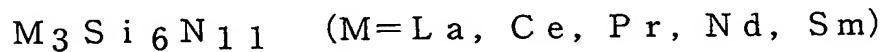
構造について説明する。なお、各図は概ね図 2 の破線部分に対応する。

【0022】

図 3 は、本発明の第 1 実施例に係る半導体装置の要部の構造を示す概略図である。本実施例の半導体装置においては、シリコン基板 100 上に窒化物系の High-K 膜 104 をゲート絶縁膜 (50) として形成する。シリコン基板 100 と High-K 膜 104 との間には、シリコン窒化膜 (Si₃N₄ 層) 102 が形成される。また、High-K 膜 104 の上には、ゲート電極 (52) としての TaN 層 106 がスパッタリングによって形成される。High-K 膜 104 は、上述したプラズマ処理装置 10 を用い、プラズマ CVD 技術によって成膜される。シリコン窒化膜 102 は、同様のプラズマ処理装置 10 を用い、直接ラジカル窒化処理によって成膜されるものであり、シリコン基板 100 表面の界面準位を下げる役割を果たす。

【0023】

High-K 膜 104 としては、例えば、以下の組成のものを採用することができる。



【0024】

図 1 に示すプラズマ処理装置 10 を用いて、第 1 実施例に係る構造を形成する際には、まず、処理対象となるシリコン基板 100 を処理容器 11 内に導入し、基板保持台 12 上にセットする。その後、排気ポート 11A, 11B を介して処理容器 11 内部の空気の排気が行われ、処理容器 11 の内部が所定の処理圧に設定される。次に、ガス供給口 22 から、窒素ガス及び不活性ガスを処理容器 11 内に導入する。

【0025】

一方、電磁波発生器で発生された数 GHz の周波数のマイクロ波は、導波管 15 を通って処理容器 11 に供給される。平面アンテナ 14、誘電体板 13 を介し

て、このマイクロ波が処理容器 11 中に導入される。このマイクロ波によりプラズマが励起され、窒素ラジカルが生成される。この様に生成されたプラズマ処理時のウェハ温度は 500℃以下である。処理容器 11 内でのマイクロ波励起によって生成された高密度プラズマは、シリコン基板 100 の表面に窒化膜 Si₃N₄ を形成させる。

【0026】

Si₃N₄ 膜 102 が形成されたシリコン基板 100 は、処理容器 11 から取り出される。その後、High-K 膜 104 を形成する際には、再び基板を処理容器 11 内にセットし、周知の CVD 技術によって窒化物系膜 104 を形成する。

【0027】

図 4 は、本発明の第 2 実施例に係る半導体装置の要部の構造を示す概略図である。図 4 において、図 3 と同一又は対応する構成要素については、同一の参照符号を付し、重複した説明は省略する。本実施例の構造においては、上述した第 1 実施例と同様に、High-K 膜 104 とシリコン基板 100 との間に Si₃N₄ 層 102a を形成するとともに、High-K 膜 104 と TaN 層 106 との間にも Si₃N₄ 層 102b を形成する。これにより、ゲート電極 (TaN 層 106) との反応性が抑制され安定な膜が形成できる。

【0028】

図 5 は、本発明の第 3 実施例に係る半導体装置の要部の構造を示す概略図である。図 5 において、図 3 及び図 4 と同一又は対応する構成要素については、同一の参照符号を付し、重複した説明は省略する。本実施例の構造においては、上述したシリコン基板 100 とゲート電極層 (TaN 層) との間に High-K 膜 104 を形成するが、シリコン基板 100 と High-K 膜 104 との間や High-K 膜と TaN 層 106 との間には、Si₃N₄ 層等の他の層を形成しない。

【0029】

図 6 は、本発明の第 4 実施例に係る半導体装置の要部の構造を示す概略図である。図 6 において、図 3 ～図 5 と同一又は対応する構成要素については、同一の参照符号を付し、重複した説明は省略する。本実施例の構造においては、上述したシリコン基板 100 と High-K 膜 104 との間にバッファ層 110 を形成して

いる。なお、High-K膜とTa₂N₅層106との間には、Si₃N₄層等の他の層を形成されない。

【0030】

バッファ層110は、High-K膜104の形成と同じプロセスの中で、処理容器11内に供給されるガス組成を変えることによって形成される。バッファ層110は、Si₃N₄層よりも誘電率が高く、且つ、界面準位を低くできるというメリットがある。

【0031】

図7は、本発明の第5実施例に係る半導体装置の要部の構造を示す概略図である。図7において、図3～図6と同一又は対応する構成要素については、同一の参照符号を付し、重複した説明は省略する。本実施例の構造は、シリコン基板100上において、3層のSi₃N₄層102a, 102b, 102cと2層のHigh-K膜104a, 104bとを交互に積層している。これにより、より安定した絶縁膜が得られる。

【0032】

図8は、本発明の第6実施例に係る半導体装置の要部の構造を示す概略図である。図8において、図3～図6と同一又は対応する構成要素については、同一の参照符号を付し、重複した説明は省略する。本実施例の構造では、シリコン基板100とHigh-K膜104との間に、Si₃N₄よりも誘電率が高いアルミナ（Al₂O₃）単結晶膜114を形成している。アルミナ（Al₂O₃）単結晶膜114は、図1に示す装置を用い、プラズマCVD技術によって成膜することができる。

【0033】

以上、本発明の実施の形態例及び実施例について幾つかの例に基づいて説明したが、本発明はこれらの実施例に何ら限定されるものではなく、特許請求の範囲に示された技術的思想の範疇において変更可能なものである。

【0034】

【図面の簡単な説明】

【図1】

図 1 は、本発明に係るプラズマ処理装置の構成の一例を示す概略図（断面図）である。

【図 2】

図 2 は、本発明に係る半導体装置の構造を示す断面図である。

【図 3】

図 3 は、本発明の第 1 実施例に係る半導体装置の要部の構造を示す概略図である。

【図 4】

図 4 は、本発明の第 2 実施例に係る半導体装置の要部の構造を示す概略図である。

【図 5】

図 5 は、本発明の第 3 実施例に係る半導体装置の要部の構造を示す概略図である。

【図 6】

図 6 は、本発明の第 3 実施例に係る半導体装置の要部の構造を示す概略図である。

【図 7】

図 7 は、本発明の第 4 実施例に係る半導体装置の要部の構造を示す概略図である。

【図 8】

図 8 は、本発明の第 5 実施例に係る半導体装置の要部の構造を示す概略図である。

【符号の説明】

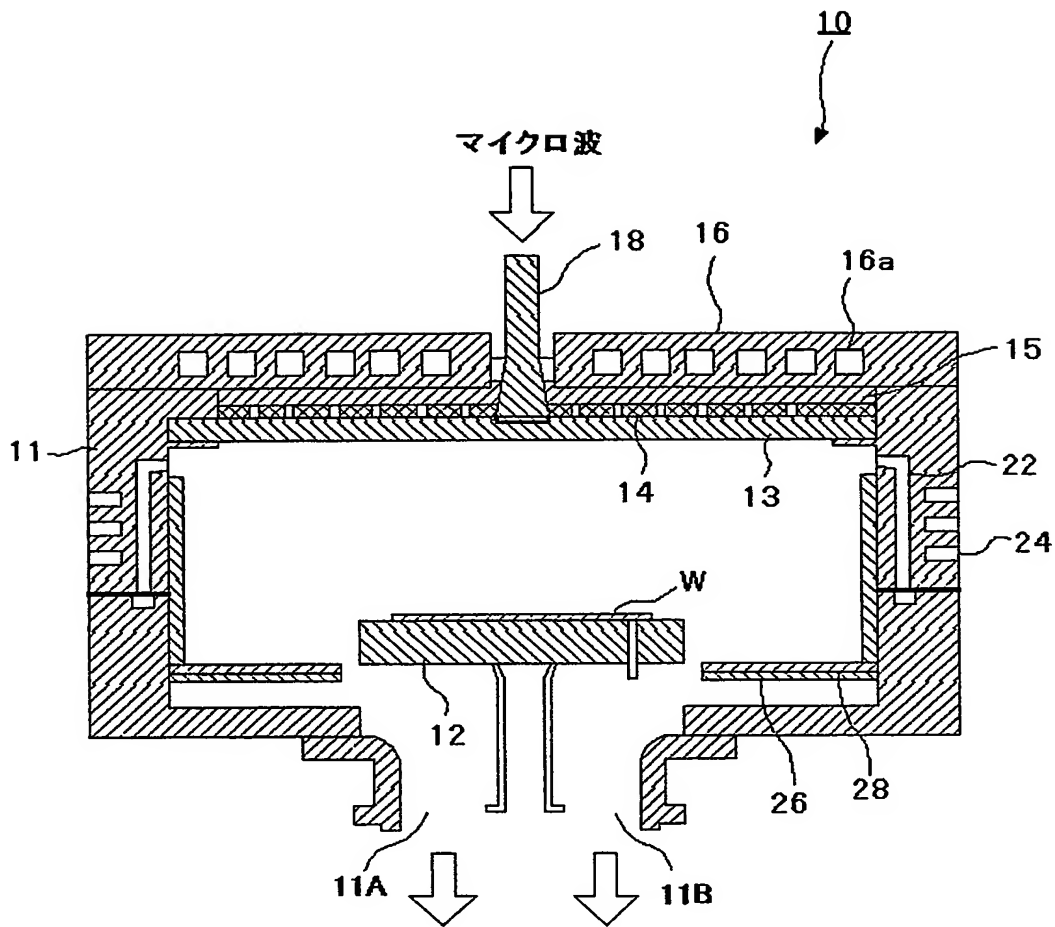
- 10 プラズマ処理装置
- 11 プラズマ処理容器
- 18 導波管
- 22 ガス供給口
- 100 Si 基板
- 102 Si₃N₄ 膜



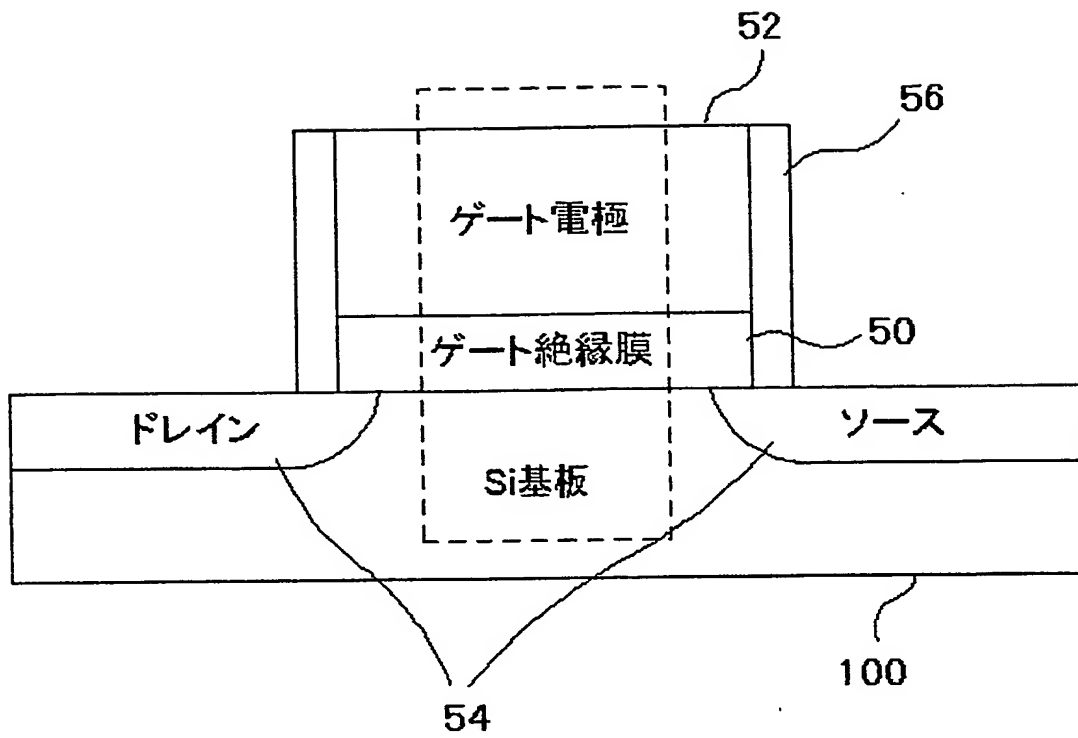
- 1 0 4 窒化物系膜
- 1 0 6 T a N 膜
- 1 1 4 A l 2 O 3 膜

【書類名】 図面

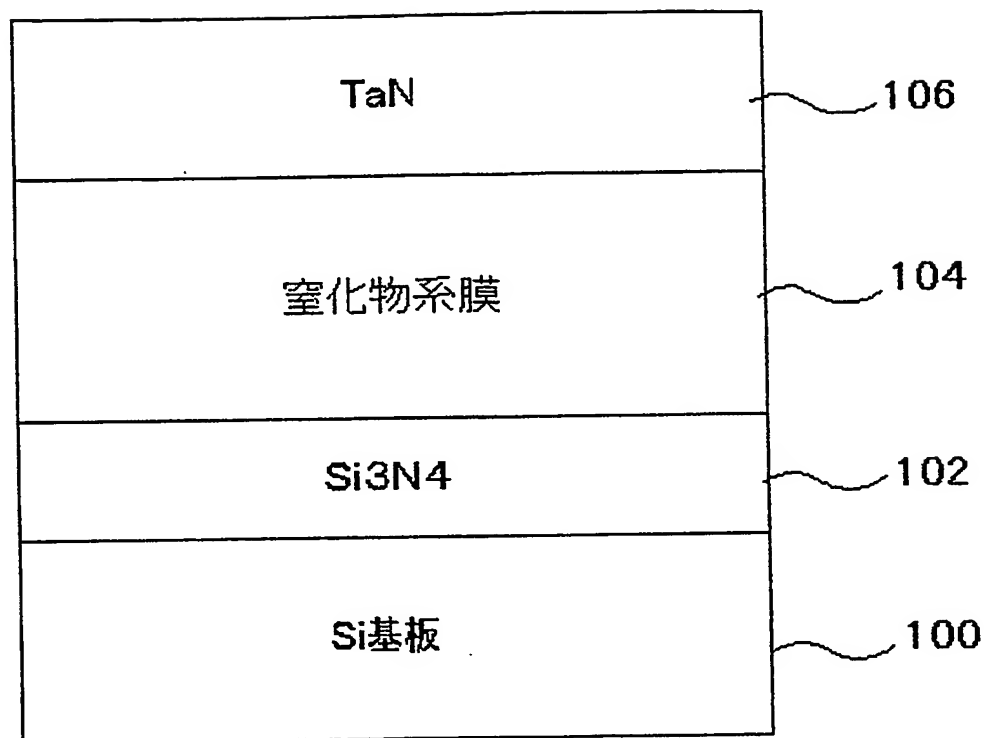
【図 1】



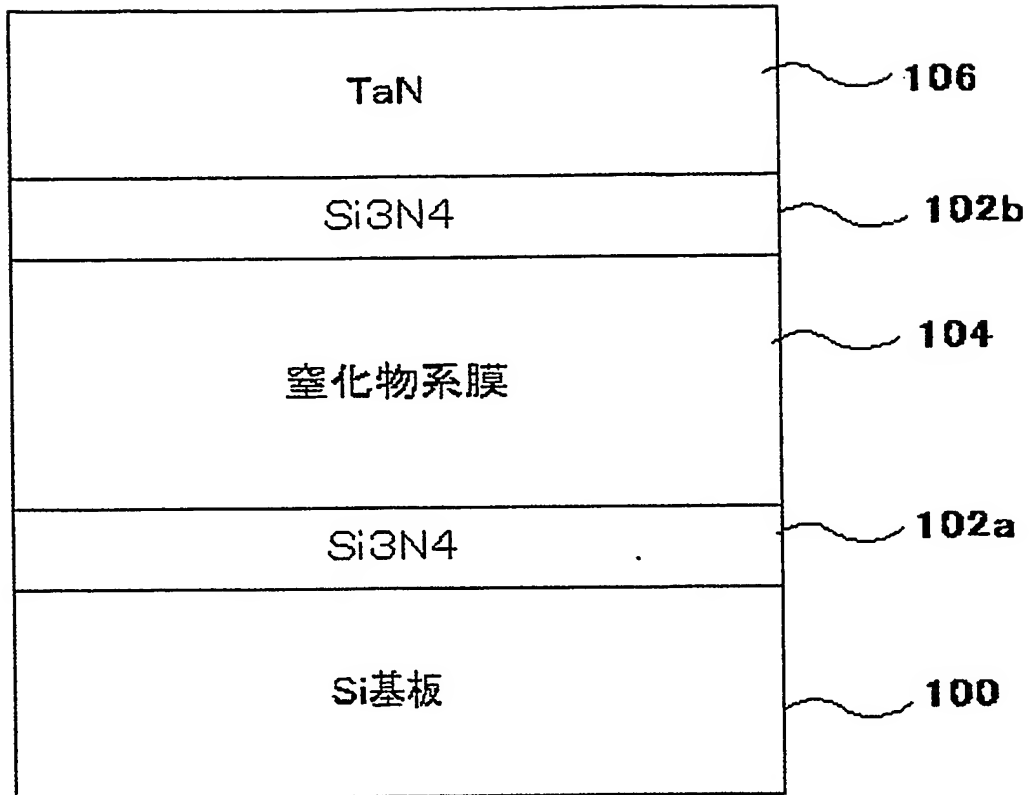
【図2】



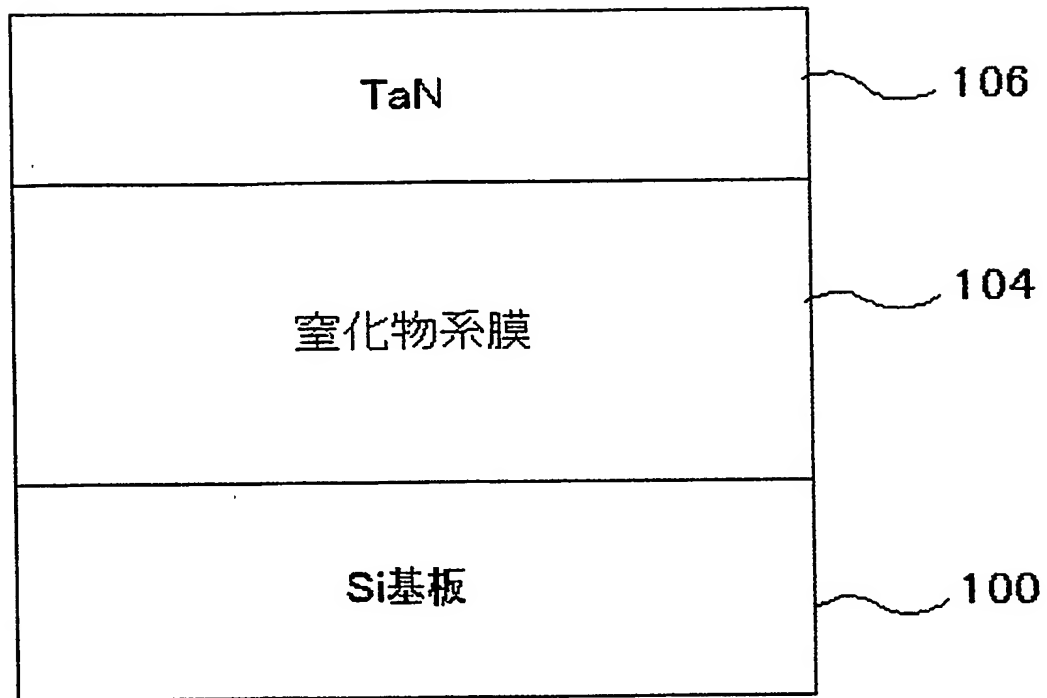
【図 3】



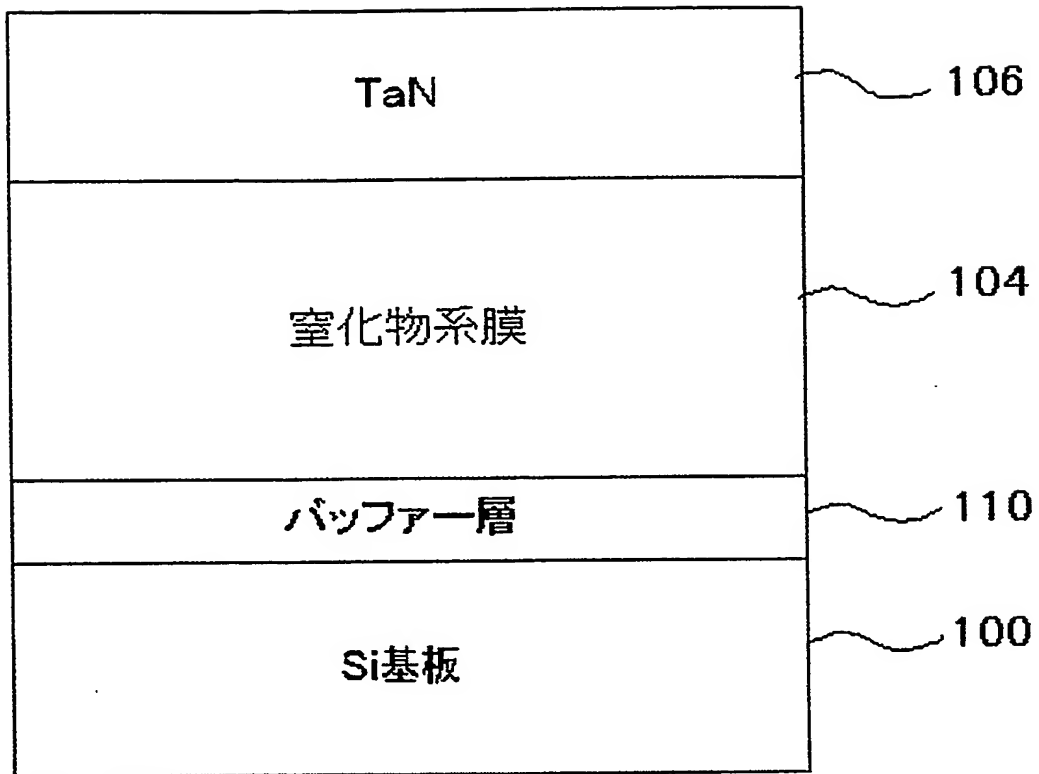
【図 4】



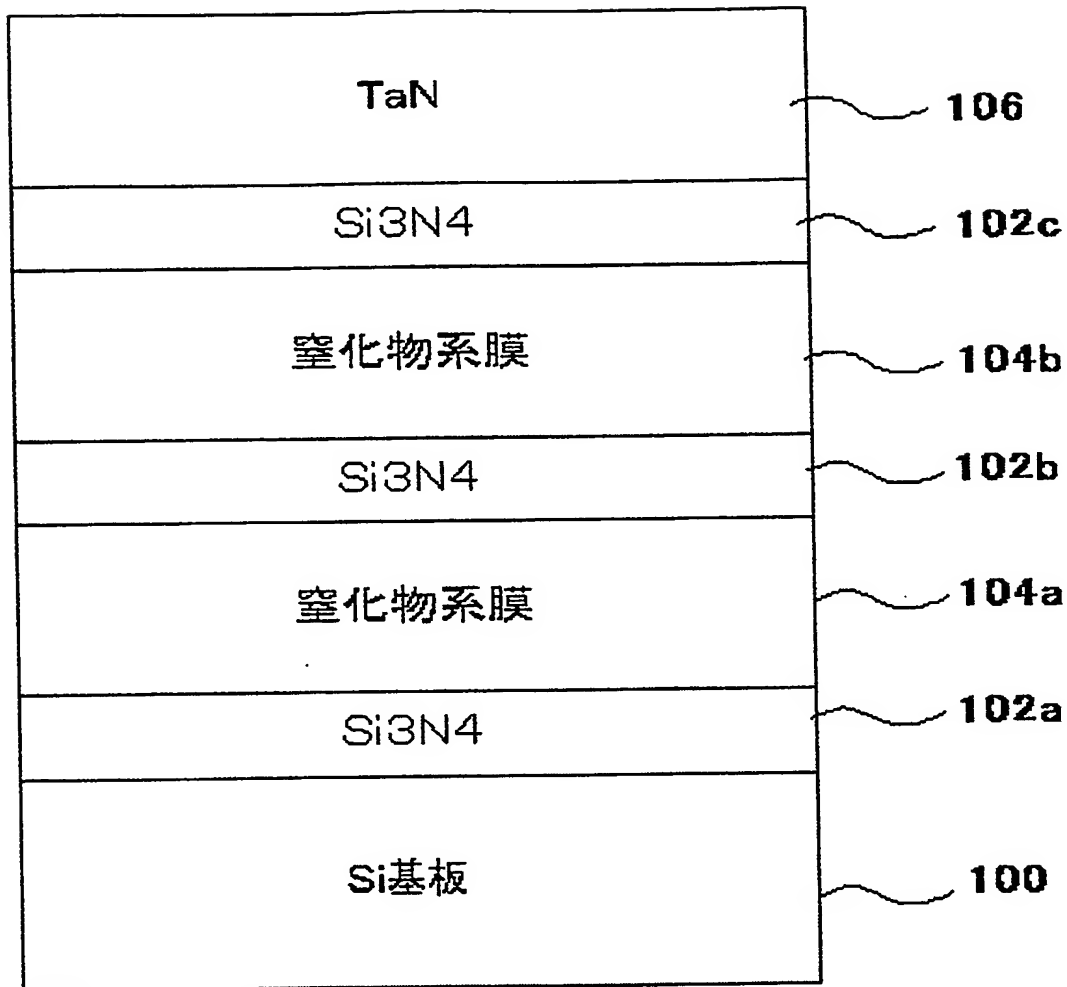
【図 5】



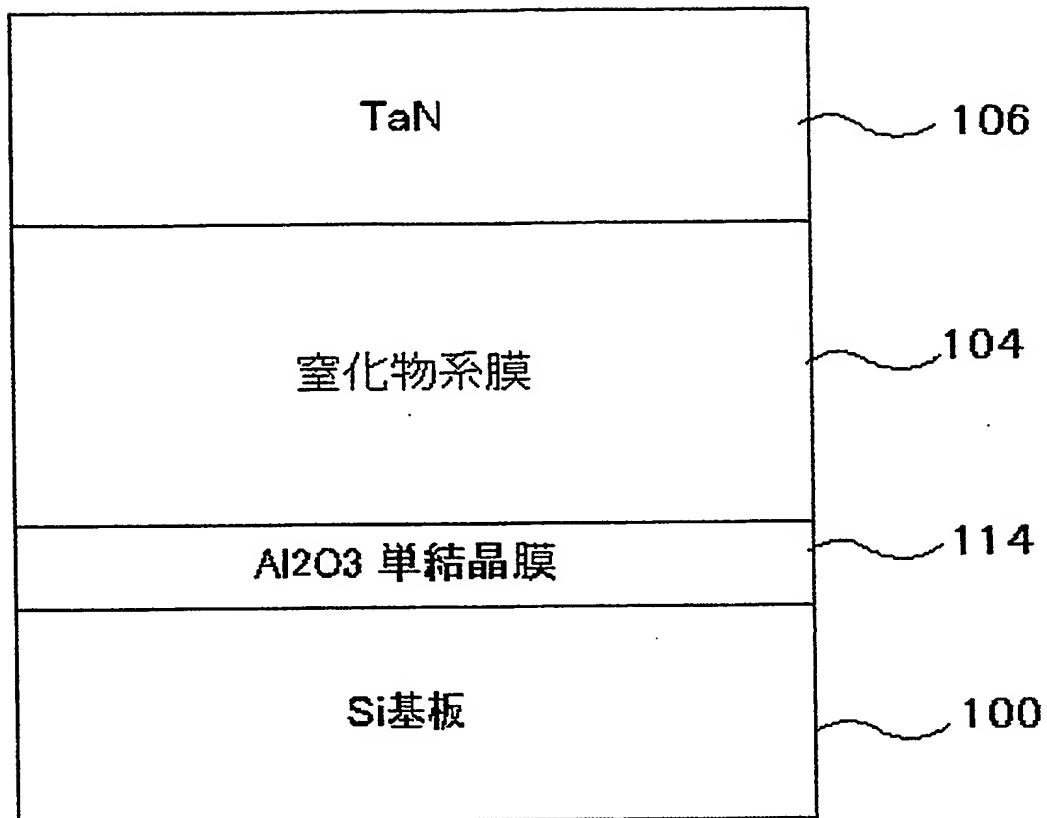
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 本発明は、High-K絶縁膜の比誘電率を高い状態で維持することにより、特性の良好な半導体装置を提供すること。また、High-K絶縁膜の比誘電率を高い状態で維持可能な半導体装置の製造方法を提供すること。

【解決手段】 本発明に係る半導体装置は、シリコン基板と；ゲート電極層と；前記シリコン基板と前記ゲート電極層との間に配置されたゲート絶縁膜とを備える。そして、前記ゲート絶縁膜を、メタルとシリコンの混合物を窒化処理してなる高比誘電率（high-k）膜とする。すなわち、High-K膜自体を窒化物にすることにより、 SiO_2 の発生を防止することが可能となる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2003-100170
受付番号	50300557023
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 4月 7日

<認定情報・付加情報>

【提出日】	平成15年 4月 3日
-------	-------------

次頁無

特願 2003-100170

出願人履歴情報

識別番号

[000219967]

1. 変更年月日

2003年 4月 2日

[変更理由]

住所変更

住 所

東京都港区赤坂五丁目3番6号

氏 名

東京エレクトロン株式会社

特願 2 0 0 3 - 1 0 0 1 7 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 0 5 0 4 1]

1. 変更年月日

1 9 9 0 年 8 月 2 7 日

[変更理由]

新規登録

住 所

宮城県仙台市青葉区米ヶ袋 2 - 1 - 1 7 - 3 0 1

氏 名

大見 忠弘

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.